

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07106570 A

(43) Date of publication of application: 21.04.95

(51) Int. Cl

H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/8234
H01L 27/088
H01L 29/43

(21) Application number: 05249518

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 05.10.93

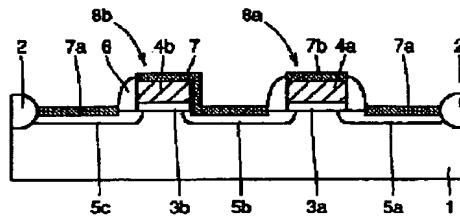
(72) Inventor: ONO TAKIO

(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

(57) Abstract:

PURPOSE: To provide a semiconductor device having local wirings highly reliable and easy to form.

CONSTITUTION: Over the main surface of a p type silicon substrate 1 formed are n type impurity regions 5b and 5c with a space in between. Over a region between the n type impurity regions 5c and 5b formed is a gate electrode 4b via a gate insulating film 3b. A titanium silicide layer 7 is formed extending from a surface layer of the gate electrode 4 to a surface layer part of the n type impurity region 5c. This titanium silicide layer 7 serves as a local wiring. On the side wall of the gate electrode 4b where this titanium silicide layer 7 is not formed, a sidewall insulating film 6 remains.



COPYRIGHT: (C)1995,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 0 6 5 7 0

(43) 公開日 平成 7 年 (1995) 4 月 21 日

(51) Int. Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

H01L 29/78

21/336

21/28

301 S 7376-4M

21/8234

27/088

審査請求 未請求 請求項の数 6 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平 5 - 2 4 9 5 1 8

(22) 出願日 平成 5 年 (1993) 10 月 5 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 大野 多喜夫

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社エル・エス・アイ研究所内

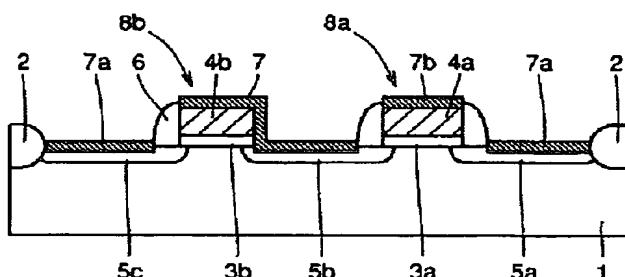
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 信頼性が高くかつ形成が容易な局所配線を有する半導体装置を提供する。

【構成】 p 型シリコン基板 1 の主表面上には間隔をあけて n 型不純物領域 5 b, 5 c が形成される。n 型不純物領域 5 c, 5 b の間の領域上にはゲート絶縁膜 3 b を介してゲート電極 4 b が形成されている。ゲート電極 4 b の表層から n 型不純物領域 5 c の表層部分にわたって延在するようにチタンシリサイド層 7 が形成されている。このチタンシリサイド層 7 が局所配線となる。このチタンシリサイド層 7 が形成されない側のゲート電極 4 b の側壁にはサイドウォール絶縁膜 6 が残余している。



1 : p型シリコン基板

2 : 粒子分離用絶縁膜

3a, 3b : ゲート絶縁膜

4a : ゲート電極

4b : 配線層

5a, 5b, 5c : n型不純物領域

6 : サイドウォール絶縁膜

7, 7a, 7b : チタンシリサイド層

8a : MOSトランジスタ

8b : MOSダイオード

【特許請求の範囲】

【請求項 1】 主表面を有する第 1 導電型のシリコン基板と、

前記シリコン基板の主表面における第 1 の領域上に絶縁膜を介在して形成され、シリコンを含む材質からなる配線層と、

前記シリコン基板の主表面において前記第 1 の領域と隣接する第 2 の領域に形成された第 2 導電型の不純物領域と、

前記不純物領域に面する前記配線層の第 1 の側壁部分を除いて前記配線層の側壁上に形成されたサイドウォール絶縁膜と、

前記配線層の表層部分から前記第 1 の側壁部分上を通して前記不純物領域表層部分にまで延在するように形成されたシリサイド層と、

を備えた半導体装置。

【請求項 2】 前記第 1 の側壁部分下における前記絶縁膜表面を少なくとも覆う第 1 の部分を有するように前記サイドウォール絶縁膜は形成され、前記シリサイド層は前記第 1 の部分上を延在するように形成される、請求項 1 に記載の半導体装置。

【請求項 3】 主表面を有する第 1 導電型のシリコン基板と、

前記シリコン基板の主表面における第 1 の領域上に絶縁膜を介在して形成され、シリコンを含む材質からなる配線層と、

前記シリコン基板の主表面において前記第 1 の領域と隣接する第 2 の領域に形成された第 2 導電型の不純物領域と、

前記配線層の両側壁を覆い、前記不純物領域に面する表面上にシリコンを含む材質からなる導電層が形成されたサイドウォール絶縁膜と、

前記配線層の表層部分から前記導電層の表層部分を経て前記不純物領域の表層部分にまで延在するように形成されたシリサイド層と、

を備えた半導体装置。

【請求項 4】 第 1 導電型のシリコン基板の主表面における第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する工程と、

前記第 1 の領域と隣接する前記シリコン基板の主表面における第 2 の領域に第 2 導電型の不純物領域を形成する工程と、

前記配線層の両側壁を覆うようにサイドウォール絶縁膜を形成する工程と、

前記サイドウォール絶縁膜において前記不純物領域に面する部分の厚みを減じる工程と、

前記配線層および前記不純物領域を覆うように高融点金属層を形成する工程と、

前記高融点金属層に熱処理を施すことによって前記配線層の表層部分から前記不純物領域の表層部分にまで延在

するシリサイド層を形成する工程と、

前記高融点金属層においてシリサイド化されなかった部分をウェットエッチングによって除去する工程と、

を備えた半導体装置の製造方法。

【請求項 5】 第 1 導電型のシリコン基板の主表面における第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する工程と、

前記シリコン基板の主表面において前記第 1 の領域と隣接する第 2 の領域に第 2 導電型の不純物領域を形成する工程と、

10

前記配線層および前記不純物領域を覆うように第 1 の絶縁層を形成する工程と、

前記絶縁層において前記不純物領域に面する前記配線層の側壁上に位置する部分にシリコンを含む導電層を形成する工程と、

前記第 1 の絶縁層にエッチング処理を施すことによって前記配線層上面および前記不純物領域表面を露出させ、前記配線層の側壁上にサイドウォール絶縁膜を形成する工程と、

20

前記配線層、前記導電層および前記不純物領域を覆うように高融点金属層を形成する工程と、

前記高融点金属層に熱処理を施すことによって前記配線層表層部分から前記不純物領域表層部分にまで延在するシリサイド層を形成する工程と、

前記高融点金属層においてシリサイド化されなかった部分をウェットエッチングによって除去する工程と、

を備えた半導体装置の製造方法。

【請求項 6】 第 1 導電型のシリコン基板の主表面における第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する工程と、

30

前記シリコン基板の主表面において前記第 1 の領域と隣接する第 2 の領域に第 2 導電型の不純物領域を形成する工程と、

前記配線層の両側壁を覆うようにサイドウォール絶縁膜を形成する工程と、

前記配線層、前記不純物領域および前記サイドウォール絶縁膜を覆うように高融点金属層を形成する工程と、

前記高融点金属層の表層に TiN 層を形成する工程と、

前記 TiN 層において前記不純物領域に面する部分を除去する工程と、

40

前記高融点金属層に熱処理を施すことによって前記配線層の表層部分から前記不純物領域の表層部分にまで延在するシリサイド層を形成する工程と、

前記 TiN 層と前記高融点金属層においてシリサイド化されなかった部分とをウェットエッチングによって除去する工程と、

を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 この発明は、配線層とそれに近接

する不純物領域とを接続する局所配線を有する半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】従来から、層間絶縁膜およびコンタクトホールを形成することなく導電層同士を接続する局所配線は知られている。この局所配線は、層間絶縁膜およびコンタクトホールの形成を必要としないため、デバイスの高集積化を容易にするといった利点を有する。このような局所配線を有する半導体装置の一例が、“IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-34, NO. 3, MARCH 1987, PP. 682~PP. 688”（文献①），“IEEE, June 11-12, 1991 VMIC CONFERENCE, PP. 332~PP. 334”（文献②）などに開示されている。

【 0 0 0 3 】上記の文献①には、不純物領域とゲート電極とを TiN を用いて接続する技術が開示されている。また、上記の文献②には、ゲート電極を形成した後に、局所配線を形成するための多結晶シリコン層を形成し、その表面をシリサイド化することによって不純物領域同士を接続する局所配線を形成する技術が開示されている。

【 0 0 0 4 】上記の 2 つの文献①, ②のうち、以降に説明する本発明の内容を鑑みた場合、ゲート電極と不純物領域とを TiN からなる局所配線によって接続した文献①の内容が本発明の内容に近いものであると考えられる。したがって、この文献①の内容に基づいて、以下に従来の技術について説明する。

【 0 0 0 5 】図 4 5 は、上記の文献①に開示された技術が適用されたデバイスの一例として挙げた昇圧回路を示す等価回路図である。図 4 6 は、図 4 5 における領域 100 に対応する部分の断面図である。

【 0 0 0 6 】まず図 4 5 を用いて、昇圧回路に関する説明を行なう。図 4 5 を参照して、電源電圧 Vcc を受ける電源端子と出力端子 121 との間に、MOS ドラジスタ 108a と MOS ダイオード 108b とが直列に接続されている。MOS ドラジスタ 108a のゲート電極には制御信号 φ₁ が与えられる。MOS ドラジスタ 108a と MOS ダイオード 108b との間のノード N には、容量 120 を介して制御信号 φ₂ が与えられる。

【 0 0 0 7 】次に、このような構成の昇圧回路の動作について説明する。まず、制御信号 φ₁ が 0V から Vcc + α に立上ると、MOS ドラジスタ 108a がオンする。ここで α は MOS ドラジスタ 108a のしきい値電圧 Vth 以上の電圧である。それにより、ノード N は電源電圧 Vcc に充電される。その後、制御信号 φ₂ が 0V になり、MOS ドラジスタ 108a がオフする。

【 0 0 0 8 】次に、制御信号 φ₂ が 0V から電源電圧 Vcc に立上ると、容量結合によりノード N の電圧が 2Vcc に昇圧される。そのため、出力端子 121 の電圧

は 2Vcc - Vth となる。その後、制御信号 φ₂ が 0V になる。このような動作を繰返すことによって、ノード N の寄生容量に関係なく電源電圧 Vcc を最大で 2Vcc - Vth の電圧にまで昇圧できる。

【 0 0 0 9 】上記の昇圧回路において、どの部分に局所配線が使用されるかについて図 4 6 を用いて説明する。

【 0 0 1 0 】図 4 6 を参照して、p 型シリコン基板 101 の主表面には、MOS ドラジスタ 108a と、MOS ダイオード 108b とが形成されている。MOS ドラジスタ 108a は、n 型不純物領域 105a, 105b と、ゲート絶縁膜 103a と、ゲート電極 104a と、サイドウォール絶縁膜 106 とを有している。ゲート電極 104a の上面と、n 型不純物領域 105a, 105b の表面には、チタンシリサイド層 (TiSi_x) 107a, 107b が形成されている。

【 0 0 1 1 】MOS ダイオード 108b は、n 型不純物領域 105b, 105c と、ゲート絶縁膜 103b と、ゲート電極 104b と、サイドウォール絶縁膜 106 と、局所配線となる TiN 層 110 を有している。ゲート電極 104b 上面および n 型不純物領域 105c の表面は、チタンシリサイド層 107a, 107b がそれぞれ形成されている。

【 0 0 1 2 】TiN 層 110 は、ゲート電極 104b 上面上からサイドウォール絶縁膜 106 表面上を通して n 型不純物領域 105b 表面上にまで延在するように形成される。それにより、ゲート電極 104b と n 型不純物領域 105b とが電気的に接続されることになる。p 型シリコン基板 101 の主表面には、上記の MOS ドラジスタ 108a および MOS ダイオード 108b を挟むように素子分離絶縁膜 102 が形成されている。

【 0 0 1 3 】上記の TiN 層 110 は、ゲート電極 104b と n 型不純物領域 105b とを、コンタクトホールを用いることなく直接接続している。そのため、バーナーレイアウトの高集積化が図れるという利点を有する。

【 0 0 1 4 】次に、図 4 7 ~ 図 5 1 を用いて、上記の構造を有する半導体装置の製造方法について説明する。図 4 7 ~ 図 5 1 は、上記の半導体装置の製造工程の第 1 工程 ~ 第 5 工程を示す断面図である。

【 0 0 1 5 】まず図 4 7 を参照して、p 型シリコン基板 101 の主表面上に素子分離絶縁膜 102 を形成する。次に、熱酸化法などを用いて絶縁膜を形成し、この絶縁膜上に CVD 法 (Chemical Vapor Deposition)などを用いて多結晶シリコン層を形成する。この絶縁層および多結晶シリコン層をバーニングすることによって、ゲート絶縁膜 103a, 103b およびゲート電極 104a, 104b をそれぞれ形成する。

【 0 0 1 6 】次に、ゲート電極 104a, 104b および素子分離絶縁膜 102 をマスクとして用いて、n 型の不純物をシリコン基板 1 の主表面に注入する。それにより、n 型不純物領域 105a, 105b, 105c が形

成される。次に、シリコン基板101の主表面上全面にCVD法などを用いてゲート電極104a, 104bを覆う絶縁膜を形成する。この絶縁膜に異方性エッティング処理を施すことによって、ゲート電極104a, 104bの側壁にサイドウォール絶縁膜106を形成する。

【0017】次に、図48を参照して、スパッタリング法などを用いて、シリコン基板101の主表面上全面にTi層109を堆積する。次に、図49を参照して、このTi層109にRTA(Rapid Thermal Annealing)処理を施す。条件は、600°C~700°C, 30秒である。それにより、Ti層109の少なくとも表層部分が窒化され、その表層にTiN層110が形成される。

【0018】一方、Ti層109とゲート電極104a, 104bおよびn型不純物領域105a, 105b, 105cとの界面においては、チタンシリサイド層107a, 107bが形成される。この技術は、通常サリサイド(SALICIDE: Self Aligned Silicide)と呼ばれるものである。このとき、サイドウォール絶縁膜106は、サリサイドプロセスにおいて、ゲート電極104a, 104bと、n型不純物領域105a, 105b, 105cとがショートしないように分離する役目を果たす。

【0019】次に、図50を参照して、リソグラフィ技術を用いて、局所配線形成部分を覆うようにレジストパターン111を形成する。そして、図51を参照して、レジストパターン111をマスクとして用いてTiN層110にドライエッティング処理を施す。それにより、TiN層110をバーニングする。その後、レジストパターン111を除去する。それにより、ゲート電極104bとn型不純物領域105bとを電気的に接続するTiN層からなる局所配線が形成されることになる。

【0020】なお、局所配線となるTiN層110の他の形成方法としては、次のものを挙げることができる。すなわち、サリサイド構造を形成した後、その表層のTiN層110を一旦除去し、スパッタリング法などを用いて再び局所配線となるTiN層を堆積する。上記の方法よりもこの方法の方が一般的な方法といえる。しかし、局所配線の下地との密着性を考慮した場合には、上記の方法の方が優れている。それは、本手法によれば、TiN層とチタンシリサイド層とが別々の層により構成されるからである。

【0021】

【発明が解決しようとする課題】しかしながら、上記の従来の局所配線を有する半導体装置には、次に説明するような2つの問題点があった。まず第1の問題点について説明する。局所配線となる上記のTiN層は、ゲート電極104b上からサイドウォール絶縁膜106上を通って不純物領域105c上に延在するように形成される。

【0022】このとき、チタンシリサイド層107a,

107bと、TiN層110とは、同一のTi層109が変質することによって形成されるので、その密着強度は比較的大きい。しかし、サイドウォール絶縁膜106とTiN層110との密着強度は、それに比べると小さい。サイドウォール絶縁膜106とTiN層110との接触面積は比較的大きいので、TiN層110と下地との密着強度は全体として比較的小さいものとなる。また、TiN層110は微細なパターンでもある。以上のことより、TiN層110が剥がれる可能性は比較的高くなると考えられる。

【0023】そして、高集積化が進展した場合には、それに伴いTiN層110の寸法も縮小される。それにより、チタンシリサイド層107a, 107bと、TiN層110との界面の面積も縮小する。その結果、TiN層と下地との密着強度がさらに低下し、局所配線となるTiN層110が一層剥がれやすくなるといった問題点が生じる。

【0024】次に、第2の問題点について説明する。上述したように、TiN層110は、ドライエッティング法を用いてバーニングされる。それは、局所配線であるTiN層110が微細なパターンであるため、ウェットエッティングを用いた場合にはTiN層110が剥がれる可能性が高いと考えられるからである。

【0025】そのため、あえてドライエッティング法を用いることとしている。しかし、ドライエッティング法を用いる場合には、バーニングされる層の下地の層に対して選択比を確保しなければならない。この場合であれば、チタンシリサイド層107a, 107bと、サイドウォール絶縁膜106といった膜質の異なる2つの層に対しても十分なエッティング選択比を確保しなければならない。そのため、エッティング条件の選定が困難になるといった問題点が生じる。

【0026】この発明は、上記のような問題点を解決するためになされたものである。この発明の1つの目的は、高集積化に際しても局所配線の剥がれによる信頼性の低下を防止することが可能となる半導体装置およびその製造方法を提供することにある。

【0027】この発明の他の目的は、局所配線の形成が容易となる半導体装置の製造方法を提供することにある。

【0028】

【課題を解決するための手段】請求項1に記載の半導体装置は、主表面を有する第1導電型のシリコン基板と、シリコン基板の主表面における第1の領域上に絶縁膜を介在して形成されシリコンを含む材質からなる配線層と、シリコン基板の主表面において第1の領域と隣接する第2の領域に形成された第2導電型の不純物領域と、不純物領域に面する配線層の第1の側壁部分を除いて配線層の側壁上に形成されたサイドウォール絶縁膜と、配線層の表層部分から第1の側壁部分上を通って不純物領

域表層部分にまで延在するように形成されたシリサイド層とを備えている。

【 0 0 2 9 】 請求項 2 に記載の半導体装置では、第 1 の側壁部分下における絶縁膜表面を少なくとも覆う第 1 の部分を有するようにサイドウォール絶縁膜が形成され、その第 1 の部分上をシリサイド層が延在する。

【 0 0 3 0 】 請求項 3 に記載の半導体装置は、主表面を有する第 1 導電型のシリコン基板と、シリコン基板の主表面における第 1 の領域上に絶縁膜を介在して形成されシリコンを含む材質からなる配線層と、シリコン基板の主表面において第 1 の領域と隣接する第 2 の領域に形成された第 2 導電型の不純物領域と、配線層の両側壁を覆い不純物領域に面する表面上にシリコンを含む材質からなる導電層が形成されたサイドウォール絶縁膜と、配線層の表層部分から導電層の表層部分を経て不純物領域の表層部分にまで延在するように形成されたシリサイド層とを備えている。

【 0 0 3 1 】 請求項 4 に記載の半導体装置の製造方法によれば、まず第 1 導電型のシリコン基板の主表面における第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する。シリコン基板の主表面において第 1 の領域と隣接する第 2 の領域に第 2 導電型の不純物領域を形成する。配線層の両側壁を覆うようにサイドウォール絶縁膜を形成する。サイドウォール絶縁膜において不純物領域に面する部分の厚みを減じる。配線層および不純物領域を覆うように高融点金属層を形成する。この高融点金属層に熱処理を施すことによって配線層の表層部分から不純物領域の表層部分にまで延在するシリサイド層を形成する。高融点金属層においてシリサイド化されなかつた部分をウェットエッチングによって除去する。

【 0 0 3 2 】 請求項 5 に記載の半導体装置の製造方法によれば、まず第 1 導電型のシリコン基板の主表面における第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する。シリコン基板の主表面において第 1 の領域と隣接する第 2 の領域に第 2 導電型の不純物領域を形成する。上記の配線層および不純物領域を覆うように第 1 の絶縁層を形成する。この第 1 の絶縁層において不純物領域に面する配線層の側壁上に位置する部分にシリコンを含む導電層を形成する。第 1 の絶縁層にエッティング処理を施すことによって配線層上面および不純物領域表面を露出させ、配線層の側壁上にサイドウォール絶縁膜を形成する。配線層、導電層および不純物領域を覆うように高融点金属層を形成する。この高融点金属層に熱処理を施すことによって配線層表層部分から不純物領域表層部分にまで延在するシリサイド層を形成する。高融点金属層においてシリサイド化されなかつた部分をウェットエッチングによって除去する。

【 0 0 3 3 】 請求項 6 に記載の半導体装置の製造方法によれば、まず第 1 導電型のシリコン基板の主表面におけ

る第 1 の領域上に絶縁膜を介在してシリコンを含む材質からなる配線層を形成する。シリコン基板の主表面において第 1 の領域と隣接する第 2 の領域に第 2 導電型の不純物領域を形成する。配線層の両側壁を覆うようにサイドウォール絶縁膜を形成する。配線層、不純物領域およびサイドウォール絶縁膜上に高融点金属層を形成する。高融点金属層の表面に TiN 層を形成する。TiN 層において不純物領域に面する部分を除去する。高融点金属層に熱処理を施すことによって配線層の表層部分から不純物領域の表層部分にまで延在するシリサイド層を形成する。TiN 層と高融点金属層においてシリサイド化されなかつた部分とをウェットエッチングによって除去する。

【 0 0 3 4 】

【作用】 請求項 1 に記載の半導体装置によれば、局所配線となるシリサイド層は、配線層表面のシリサイド部分と不純物領域表面のシリサイド部分とがつながって一体化することによって形成される。そのため、局所配線の下地は、大部分が配線層表面および不純物領域表面となる。配線層表面および不純物領域表面と、シリサイド層との密着強度およびそれらの界面の面積は大きい。それにより局所配線の剥がれといった問題を解消できる。また、局所配線がシリサイドによって形成されるので、局所配線の抵抗を下げることも可能となる。

【 0 0 3 5 】 請求項 2 に記載の半導体装置によれば、絶縁膜表面でのシリサイド化反応を防止できる。それにより、シリサイド化反応に起因して絶縁膜に与えられるシリサイド層からのストレスを緩和できる。それにより、絶縁膜の耐圧劣化を抑制できる。

【 0 0 3 6 】 請求項 3 に記載の半導体装置によれば、局所配線となるシリサイド層は、配線層表面のシリサイド部分と、導電層表面のシリサイド部分と、不純物領域表面のシリサイド部分とがつながって一体化することによって形成される。それにより、上記の請求項 1 の場合と同様に、局所配線とその下地との間の密着強度の大きい部分の面積を広く確保することが可能となる。その結果、局所配線の剥がれの問題を解消することが可能となる。

【 0 0 3 7 】 請求項 4 に記載の半導体装置の製造方法によれば、所定の不純物領域に面するサイドウォール絶縁膜の厚みを減じている。それにより、熱処理が施されることによって形成される配線層表面のシリサイド部分の不純物領域側の端部と、不純物領域表面に形成されるシリサイド部分の配線層側の端部との間の距離を、サイドウォール絶縁膜の厚みが減じられていない部分におけるそれらの距離よりも短くすることが可能となる。その結果、熱処理が施されることによって、サイドウォール絶縁膜の厚みが減じられた部分において、配線層表面のシリサイド部分と不純物領域の表面のシリサイド部分とをつなぐことが可能となる。すなわち、配線層表面のシリ

サイド部分および不純物領域表面のシリサイド部分の形成と同時に自己整合的に局所配線となるシリサイド層を形成することが可能となる。それにより、新たに別の層を用いて局所配線を形成する必要がなくなる。その結果、従来例のように、シリサイドとは異なる材質からなる微細な配線パターンを残すようにエッチングする必要がなくなる。それにより、局所配線形成にウェットエッチングを使用することが可能となる。その結果、局所配線の形成が容易となる。また、局所配線が自己整合的にシリサイド層によって形成できるので、高集積化に際しても局所配線の形成が容易となる。

【0038】請求項5に記載の半導体装置の製造方法によれば、所定のサイドウォール絶縁膜の表面上にシリコンを含む導電層が形成され、配線層表面、導電層表面および不純物領域表面を覆うように高融点金属層が形成される。この高融点金属層に熱処理を施すことによって、配線層表面上から導電層表面上を経て不純物領域表面上にわたって延在するシリサイド層を形成することが可能となる。この場合も、高融点金属層においてシリサイド化されなかった部分をウェットエッチングによって除去することが可能となる。それにより、上記の場合と同様に、局所配線の形成は容易となる。また、導電層の材質を適切に選択することによって、シリサイド化反応のための熱処理の温度を低温化することも可能となる。それにより、製造マージンの拡大が可能となる。

【0039】請求項6に記載の半導体装置の製造方法によれば、シリサイドの成長を抑制したい部分上にTIN層を残すようにしている。TIN層は、その下層のシリサイドの成長を抑制する機能を有することが、June 9-10, 1992, VMIC Conference, PP. 267~PP. 273に記載されている。上記のように、局所配線を形成すべき部分以外の部分（シリサイドの成長を抑制したい部分）上にTIN層を形成することによって、そのTIN層下のシリサイドの成長を抑制することが可能となる。それにより、TIN層が形成されていない部分において、配線層表面のシリサイド部分と、不純物領域表面のシリサイド部分とを互いに成長させてつなぐことによって局所配線を形成することが可能となる。この場合も、TIN層と高融点金属層においてシリサイド化されなかった部分とをウェットエッチングによって除去することが可能となる。それにより、上記の場合と同様に、局所配線の形成は従来に比べて容易となる。

【0040】

【実施例】以下、この発明に基づく実施例について、図1～図44を用いて説明する。

【0041】（第1実施例）まず、図1～図11を用いて、この発明に基づく第1の実施例について説明する。図1は、この発明に基づく第1の実施例における半導体装置の部分断面図であり、従来例の図46に対応する断面を示す図である。まずこの図を用いて本実施例における

半導体装置の構造について説明する。

【0042】図1を参照して、p型シリコン基板1の主表面上には、MOSダイオード8bと、MOSトランジスタ8aとがそれぞれ形成されている。本実施例における半導体装置の構造と、従来例における半導体装置の構造との異なる点は、MOSダイオード8bにおいて局所的にサイドウォール絶縁膜6が除去された部分が存在する点と、その局所的にサイドウォール絶縁膜6が除去された部分において局所配線となるチタンシリサイド層7が形成されている点である。それ以外の構造に関しては、従来例の構造と同様である。

【0043】すなわち、p型シリコン基板1の主表面の所定位置には、素子分離絶縁膜2が形成されている。この素子分離絶縁膜2によって囲まれた領域内にMOSトランジスタ8aおよびMOSダイオード8bが形成される。MOSトランジスタ8aは、n型不純物領域5a, 5bと、ゲート絶縁膜3aと、多結晶シリコンなどからなるゲート電極4aとを有している。ゲート電極4aの両側壁にはサイドウォール絶縁膜6が形成されている。

【0044】MOSダイオード8bは、n型不純物領域5b, 5cと、ゲート絶縁膜3bと、多結晶シリコンなどからなるゲート電極4bとを有している。n型不純物領域5a, 5cの表面にはチタンシリサイド層7aが形成されている。ゲート電極4aの上面にはチタンシリサイド層7bが形成されている。

【0045】チタンシリサイド層7は、ゲート電極4bの表層部分からn型不純物領域5bの表層部分にわたって延在するように形成されている。このチタンシリサイド層7は、ゲート電極4bの表面のシリサイド部分と、n型不純物領域5bの表面のシリサイド部分とがつながることによって形成されている。

【0046】そのため、従来例のように、TIN層といった新たな層によって、ゲート電極4bとn型不純物領域5bとを電気的に接続する必要はなくなる。それにより、高集積化が進展した場合においても、局所配線とその下地の密着強度を大きく確保することが可能となる。その結果、局所配線が剥がれるといった問題を回避することが可能となる。また、局所配線として新たな層を形成する必要がないため、高集積化も容易となる。

【0047】次に、図2を用いて、図1に示される半導体装置の平面構造について説明する。図2は、図1に示される半導体装置の平面構造を示す概略平面図である。図2を参照して、サイドウォール絶縁膜6において、ゲート電極4bとn型不純物領域5bとの間に位置する部分のみが除去されている。それにより、このサイドウォール絶縁膜6が除去された部分において、局所配線となるチタンシリサイド層7を形成することが可能となる。

【0048】次に、図3～図7を用いて、図1に示される半導体装置の製造方法について説明する。図3～図7は、本実施例における半導体装置の製造工程の第1工程

～第5工程を示す断面図である。

【0049】まず図3を参照して、従来例と同様の工程を経て、p型シリコン基板1の主表面上に、素子分離絶縁膜2、ゲート絶縁膜3a、3b、ゲート電極4a、4b、n型不純物領域5a、5b、5c、サイドウォール絶縁膜6をそれぞれ形成する。次に、p型シリコン基板1の主表面上全面にレジストを塗布する。そして、リソグラフィ技術を用いてこのレジストをパターニングする。それにより、局所配線を形成すべき領域におけるサイドウォール絶縁膜6を露出させるレジストパターン11が形成される。このレジストパターン11をマスクとして用いて、サイドウォール絶縁膜6を選択的に除去する。その後、レジストパターン11を除去する。

【0050】次に、図5を参照して、p型シリコン基板1の主表面上全面に、スパッタリング法などを用いて、Ti層9を堆積する。この状態で、第1のRTA処理が施されることになる。図6を参照して、窒素雰囲気内で600℃～700℃の温度で30秒～1分程度の熱処理が施されることによって、ゲート電極4bの表面、n型不純物領域5b、5cの表面にそれぞれチタンシリサイド層7a、7bが形成される。

【0051】このとき、Ti層9の表面は窒化され、TiN層10がその表層に形成されている。このとき、サイドウォール絶縁膜6が除去された側におけるチタンシリサイド層7aとチタンシリサイド層7bとの間隔L1は、サイドウォール絶縁膜6が残余している側におけるチタンシリサイド層7aとチタンシリサイド層7bとの距離L2よりも小さくなっている。

【0052】それにより、サイドウォール絶縁膜6が除去された側のみに局所配線として機能するチタンシリサイド層7を形成することが可能となる。なお、ゲート絶縁膜3bの厚みによっては、上記のRTA処理のみで図1に示される局所配線となるチタンシリサイド層7が形成されることもあり得る。これは、上記の距離L1が非常に小さい（ゲート絶縁膜3bの厚みとほぼ等しい）ことに起因する。

【0053】次に、図7を参照して、第2のRTA処理が施されることによって、局所配線となるチタンシリサイド層7が形成される。すなわちn型不純物領域5b表面のチタンシリサイド層7aとゲート電極4bの表面のチタンシリサイド層7bとが、サイドウォール絶縁膜6が除去された部分においてつながることによってチタンシリサイド層7が形成されることになる。第2のRTA処理の条件は、窒素雰囲気内で700℃以上の温度で15秒～1分程度である。

【0054】以上のようにしてチタンシリサイド層7が形成された後は、ウェットエッチング法を用いて、TiN層10あるいは未反応のTi層9を除去する。本実施例の場合は、従来例のように、局所配線としてTiNの微細なパターンを残すようにエッチングする必要がない

ため、ウェットエッチングを使用できる。それにより、あえてドライエッチング法を用いなければならなかつた従来例の問題点は解消する。

【0055】次に、図8～図11を用いて、上記の第1の実施例の変形例について説明する。上記の第1の実施例においては、MOSトランジスタ8aあるいはMOSダイオード8bの不純物領域5a、5b、5cが、高濃度不純物領域のみによって構成されていた。しかし、n型不純物領域がLDD(Lightly Doped Drain)構造を有するものであってもよい。

【0056】図8は、上記の第1の実施例における半導体装置のn型不純物領域をLDD構造とした場合を示す部分断面図である。図8を参照して、上記の第1の実施例における半導体装置において、単にn型不純物領域をLDD構造とした場合には、次のような問題が懸念される。

【0057】図8を参照して、p型シリコン基板1の主表面上には、n型低濃度不純物領域19c、19bと、n型高濃度不純物領域20b、20cがそれぞれ形成される。このとき、チタンシリサイド層7は、高濃度不純物領域20c表面上から低濃度不純物領域19cの表面上にわたって形成されることになる。すなわち、濃度勾配を有する領域50上にチタンシリサイド層7が形成されることになる。それにより、この領域50において、リーク電流が発生する可能性が高くなる。そのことに鑑み、本変形例が考案された。

【0058】以下、図9～図11を用いてこの変形例について説明することとする。図9～図11は、本変形例の特徴的な製造工程の第1工程～第3工程を示す断面図である。

【0059】まず図9を参照して、上記の第1の実施例と同様の工程を経てサイドウォール絶縁膜6までを形成する。なお、低濃度不純物領域19a、19b、19cは、As、Pなどの不純物を、50KeV～150KeV、 10^{15} /cm²の条件で注入することによって形成される。そして、高濃度不純物領域20a、20b、20cは、ゲート電極4a、4bと、サイドウォール絶縁膜6とをマスクとして用いて、Asをp型シリコン基板1の主表面上にイオン注入することによって形成される。注入条件は、40KeV、 10^{15} /cm²である。

【0060】次に、図10を参照して、上記の第1の実施例と同様に、局所配線を形成すべき部分におけるサイドウォール絶縁膜6を露出させるようにレジストパターン21を形成する。このレジストパターン21をマスクとして用いて、サイドウォール絶縁膜6を選択的に除去する。その後、レジストパターン21をマスクとして用いて、Asをp型シリコン基板1の主表面上に注入する。条件は、40KeV、 10^{15} ～ 10^{16} /cm²である。それにより、p型シリコン基板1の主表面上に露出する低濃度不純物領域19cの濃度を高める。その後、レジ

トバターン 2 1 を除去する。

【0061】次に、図 1 1 を参照して、上記の第 1 の実施例と同様の工程を経てチタンシリサイド層 7, 7 a, 7 b を形成する。それにより、チタンシリサイド層 7 下において、図 8 に示される場合のように、濃度勾配を有する部分がなくなる。それにより、リーケ電流が発生するといった問題を解消することが可能となる。

【0062】(第 2 実施例) 次に、図 1 2 ~ 図 1 8 を用いて、この発明に基づく第 2 の実施例について説明する。本実施例は、上記の第 1 の実施例の変形例となるものである。図 1 2 は、上記の第 1 の実施例における MOS ダイオード 8 b を拡大した断面図である。図 1 2 を参照して、上記の第 1 の実施例においては、ゲート絶縁膜 3 b 表面に直接接触するようにチタンシリサイド層 7 が形成されていた。このチタンシリサイド層 7 は、ゲート絶縁膜 3 b の一部表面に沿って成長することとなる。

【0063】その際に、チタンシリサイド層 7 とゲート絶縁膜 3 b とが接触する領域 5 1 において、ゲート絶縁膜 3 b はチタンシリサイド層 7 から応力を受ける。それにより、ゲート絶縁膜 3 b に歪みが生じ、ゲート絶縁膜 3 b の耐圧を劣化させるといった問題が懸念される。その結果、ゲート電極 4 b と p 型シリコン基板 1 との間にリーケ電流が発生する可能性が高くなる。このような内容に鑑み考慮されたのが本実施例である。

【0064】図 1 3 は、本実施例における半導体装置を示す断面図である。図 1 3 を参照して、上記の第 1 の実施例と異なるのは、チタンシリサイド層 7 とゲート絶縁膜 3 b との間に厚みが減じられたサイドウォール絶縁膜 6 a が残余していることである。それにより、チタンシリサイド層 7 は、ゲート絶縁膜 3 b と直接接触することはなくなる。それにより、チタンシリサイド層 7 からのストレスを、上記の第 1 の実施例の場合よりも緩和することが可能となる。それにより、ゲート絶縁膜 3 b の耐圧劣化を抑制することが可能となる。それ以外の構造に関しては、図 1 に示される第 1 の実施例と同様である。

【0065】図 1 4 は、図 1 3 に示される半導体装置の概略平面図である。図 1 4 を参照して、本実施例においては、局所配線として機能するチタンシリサイド層 7 下において、膜厚が減じられたサイドウォール絶縁膜 6 a が残余している。

【0066】図 1 5 は、図 1 3 における MOS ダイオード 8 b を拡大した断面図である。図 1 5 を用いて、MOS ダイオード 8 b の構造についてより詳しく説明する。サイドウォール絶縁膜 6 a は、ゲート絶縁膜 3 b の表面を覆うように形成される。このとき、ゲート絶縁膜 3 b の膜厚は 50 Å ~ 200 Å 程度である。サイドウォール絶縁膜 6 a の高さ H は、好ましくは、約 300 Å ~ 約 700 Å 程度である。また、サイドウォール絶縁膜 6 a が p 型シリコン基板 1 の主表面と接する幅 W は、好ましくは、約 200 Å ~ 約 700 Å 程度である。このようにサ

イドウォール絶縁膜 6 a を残余させることによって、チタンシリサイド層 7 からゲート絶縁膜 3 b に及ぼされるストレスを緩和することが可能となる。

【0067】次に、図 1 6 ~ 図 1 8 を用いて、本実施例における半導体装置の製造方法について説明する。図 1 6 ~ 図 1 8 は、本実施例における半導体装置の製造工程の第 1 工程 ~ 第 3 工程を示す断面図である。

【0068】図 1 6 を参照して、上記の第 1 の実施例と同様の工程を経て、サイドウォール絶縁膜 6 までを形成

10 する。次に、図 1 7 を参照して、局所配線を形成すべき領域を露出させるようにレジストパターン 1 2 を形成する。そして、このレジストパターン 1 2 をマスクとして用いて、局所配線形成領域におけるサイドウォール絶縁膜 6 に異方性エッチング処理を施す。それにより、厚みが減じられたサイドウォール絶縁膜 6 a が形成される。このとき、サイドウォール絶縁膜 6 a の高さ H は、エッチング時間などエッチング条件を適切に調整することによって調整される。その後、レジストパターン 1 2 を除去する。

20 【0069】次に、図 1 8 を参照して、スパッタリング法などを用いて、p 型シリコン基板 1 の主表面上全面に Ti 層 9 を形成する。その後は、上記の第 1 の実施例と同様の工程を経て、図 1 3 に示される半導体装置が形成されることになる。

【0070】(第 3 実施例) 次に、図 1 9 ~ 図 2 9 を用いて、この発明に基づく第 3 の実施例について説明する。図 1 9 は、この発明に基づく第 3 の実施例における半導体装置を示す断面図である。本実施例は、上記の第 2 の実施例の変形例である。すなわち、局所配線が形成されない部分におけるサイドウォール絶縁膜が、第 1 の絶縁膜 1 3 と第 2 の絶縁膜 1 4 との 2 層構造となっている。それ以外の構造に関しては図 1 3 に示される第 2 の実施例における半導体装置と同様である。

【0071】次に、図 2 0 ~ 図 2 3 を用いて、上記の本実施例における半導体装置の製造方法について説明する。図 2 0 ~ 図 2 3 は、本実施例における半導体装置の製造工程の第 1 工程 ~ 第 4 工程を示す断面図である。

【0072】まず図 2 0 を参照して、上記の第 1 の実施例と同様の工程を経て、n 型不純物領域 5 a, 5 b, 5 c までを形成する。次に、CVD 法などを用いて、p 型シリコン基板 1 の主表面上全面に、100 Å ~ 300 Å 程度の膜厚のシリコン酸化膜(第 1 の絶縁膜) 1 3 を形成する。

【0073】そして、CVD 法などを用いて、このシリコン酸化膜 1 3 上に、1000 Å ~ 1500 Å 程度の膜厚を有するシリコン窒化膜(第 2 の絶縁膜) 1 4 を形成する。そして、このシリコン窒化膜 1 4 に異方性エッチング処理を施すことによって、ゲート電極 4 a, 4 b の側壁上にシリコン窒化膜 1 4 を残余させる。このとき、第 1 の絶縁膜であるシリコン酸化膜 1 3 が、エッチング

ストップとして機能するため、シリコン窒化膜（第2の絶縁膜）14のエッティングによるp型シリコン基板1主表面へのエッティングダメージはほぼなくなる。

【0074】次に、図21を参照して、局所配線形成領域に位置する第2の絶縁膜14および第1の絶縁膜13を露出させるようにパターニングされたレジストパターン15を形成する。そして、このレジストパターン15をマスクとして用いて、第2の絶縁膜14を選択的に除去する。その後、レジストパターン15を除去する。次に、図22を参照して、第1の絶縁膜13に異方性エッティング処理を施す。それにより、局所配線形成領域に、第1のサイドウォール絶縁膜13aを残余させる。このとき、第1の絶縁膜13の厚みは、100Å～300Å程度と薄いため、異方性エッティングの際に、下地へのエッティングダメージを小さく抑えることが可能となる。また、第1の絶縁膜13は、サイドウォール絶縁膜として必要とされる幅とは独立に薄膜化することが可能となる。それにより、ゲート電極4bの側壁上部を露出する際の制御性を向上させることも可能となる。

【0075】次に、図23を参照して、スパッタリング法などを用いて、p型シリコン基板1の主表面上全面にTi層9を堆積する。その後は、上記の第1の実施例と同様の工程を経て、図19に示される半導体装置が形成される。

【0076】次に、図24および図25を用いて、本実施例における半導体装置の製造方法の変形例について説明する。図24および図25は、本実施例における半導体装置の製造方法の変形例の第2工程および第3工程を示す断面図である。

【0077】まず図24を参照して、図21と同様の構造を得た後、レジストパターン15をマスクとして用いて第1の絶縁膜13に異方性エッティング処理を施す。それにより、ゲート電極4bの側壁に第1の絶縁膜13aを形成する。その後、レジストパターン15を除去する。

【0078】次に、図25を参照して、第2の絶縁膜14をマスクとして用いて第1の絶縁膜13、13aに異方性エッティング処理を施す。それにより、局所配線形成部分において、ゲート電極4bの下方部分のみを覆うように厚みの減じられた第1の絶縁膜13bが形成される。

【0079】その後は上記の第1の実施例と同様の工程を経て、図19に示される半導体装置が形成されることになる。本変形例によれば、局所配線形成領域における第1の絶縁膜13aが予めゲート電極4bの側壁部に残余するように加工されている。それにより、上記の場合よりもゲート電極4bの側壁上部を露出させる際の制御性が向上する。

【0080】次に、図26～図29を用いて、本実施例の他の変形例について説明する。図26～図28は、本

変形例における第1工程～第3工程を示す断面図である。

【0081】まず図26を参照して、上記の実施例と同様の工程を経て図22に示される構造を得る。次に、図27を参照して、第2の絶縁膜14を全面除去する。その後に、上記の第1の実施例と同様の工程を経て、図28に示されるように、チタンシリサイド層7、7a、7bを形成する。

【0082】図29は、本変形例において、図27に示される状態のp型シリコン基板1の主表面上全面に、Ti層9が形成された状態を示す断面図である。図29において、局所配線が形成されない部分における第1の絶縁膜13上で、Ti層9が途切れているのがわかる。これは、図27において、第2の絶縁膜14をあえて除去することにより、局所配線が形成されない部分における第1の絶縁膜13の表面の段差が急峻となることに起因する。

【0083】すなわち、図29においては、Ti層9の形成の際に、意図的にステップカバレッジを劣化させる条件でTi層9を形成している。このとき、局所配線形成領域においては、ゲート電極4bの下部を覆うように第1の絶縁膜13aが残余しているので、それ以外の部分よりも段差は結果として緩和されていることになる。

【0084】そして、スパッタリング法によって、ステップカバレッジの良くない条件下でTi層9が形成される。それにより、図29に示されるように、Ti層を第1の絶縁膜13上で途切れさせることが可能となる。この場合には、局所配線を形成しない部分においてシリサイド層が成長したとしても、それらのシリサイド層が第1の絶縁膜13上で接続されることを上記の各実施例よりも効果的に阻止することが可能となる。その結果、シリサイド層7形成時の製造マージンを拡大することが可能となる。

【0085】(第4実施例) 次に、図30～図36を用いて、この発明に基づく第4の実施例について説明する。図30は、この発明に基づく第4の実施例における半導体装置を示す断面図である。図30を参照して、本実施例においては、局所配線を形成する部分下においても、ゲート電極4bの側壁全面を覆うサイドウォール絶縁膜17が形成されている。そして、局所配線形成部分下におけるこのサイドウォール絶縁膜17表面上に、多結晶シリコン層18が形成される。

【0086】そして、ゲート電極4b表面のシリサイド部分と、多結晶シリコン層18表面のシリサイド部分と、n型不純物領域5c表面のシリサイド部分とがつながることによってシリサイド層7が形成される。この場合も、このシリサイド層7は、上記の第1の実施例の場合と同様に、局所配線(チタンシリサイド層)の剥がれといった問題を回避することが可能となる。また、ゲート絶縁膜3bとチタンシリサイド層7との間には、サイ

ドウォール絶縁膜 17 と多結晶シリコン層 18 とが形成されるので、上記の第 2 および第 3 の実施例よりもゲート絶縁膜 3 b の耐圧劣化を小さく抑えることが可能となる。なお、多結晶シリコン層 18 は、アモルファスシリコン層やシリコンを含有する導電層であってもよい。

【0087】次に、図 31～図 36 を用いて、本実施例における半導体装置の製造方法について説明する。図 31～図 36 は、本実施例における半導体装置の製造工程の第 1 工程～第 6 工程を示す断面図である。

【0088】まず図 31 を参照して、上記の第 1 の実施例と同様の工程を経て、n 型不純物領域 5 a, 5 b, 5 c までを形成する。次に、CVD 法などを用いて、1000 Å 程度の膜厚を有する第 1 の絶縁膜 17 を堆積する。この第 1 の絶縁膜 17 上に、CVD 法あるいはスパッタリング法などを用いて、1000 Å～1500 Å 程度の膜厚を有する多結晶シリコン層 18 を堆積する。そして、この多結晶シリコン層 18 に異方性エッチング処理を施すことによって、ゲート電極 4 a, 4 b の側壁上に多結晶シリコン層 18 を残余させる。

【0089】次に、図 32 を参照して、局所配線形成領域のみを覆うようにレジストパターン 19 を形成する。そしてこのレジストパターン 19 をマスクとして用いて、局所配線形成領域以外の多結晶シリコン層 18 を除去する。その後、レジストパターン 19 を除去する。次に、第 1 の絶縁膜 17 に異方性エッチング処理を施すことによって、サイドウォール絶縁膜 17 を形成するとともに、ゲート電極 4 a, 4 b 上面および n 型不純物領域 5 a, 5 b, 5 c の表面を露出させる。

【0090】次に、図 34 を参照して、p 型シリコン基板の主表面上全面に、スパッタリング法などを用いて、Ti 層 9 を堆積する。そして、この状態で、熱処理が施されることになる。熱処理条件は、600°C～700°C、30 秒程度の 1 回の熱処理で十分である。それにより、図 35 に示される状態を経て図 36 に示されるチタンシリサイド層 7 が形成されることになる。

【0091】本実施例においては、多結晶シリコン層 18 を、サイドウォール絶縁膜 17 の表面上に形成している。すなわち、シリサイド化反応時のシリコンの供給源がサイドウォール絶縁膜 17 上に新たに形成されていることになる。それにより、上記の各実施例の場合よりもシリサイド化反応時の熱処理温度を低温にしても局所配線（チタンシリサイド層 7）を形成することが可能となる。

【0092】なお、図 35 に示されるように、局所配線形成部分におけるゲート電極 4 b の上面のシリサイド部分 7 b と多結晶シリコン層 18 表面のシリサイド部分 7 c との距離 L4 と、シリサイド部分 7 c と n 型不純物領域 5 c の表面のシリサイド部分 7 a との距離 L3 とは、ともに局所配線を形成しない領域におけるシリサイド部分 7 b と 7 a との間の距離 L5 よりも小さいものとなっ

ている。

【0093】そのため、局所配線を形成するべき部分のみでシリサイド部分 7 b, 7 a, 7 c をつないで一体化することが可能となる。また、本実施例の製造方法によれば、多結晶シリコン層 18 を残余させる際のストップとしてサイドウォール絶縁膜 17 が機能するため、下地へのエッチングダメージを回避することも可能となる。

【0094】（第 5 実施例）次に、この発明に基づく第 5 の実施例について図 37 および図 38 を用いて説明する。図 37 および図 38 は、この発明に基づく第 5 の実施例における半導体装置の製造方法の特徴的な工程を示す断面図である。

【0095】まず図 37 を参照して、上記の第 4 の実施例と同様の工程を経て図 33 に示される構造と同様の構造を得る。その後、p 型シリコン基板 1 の主表面上全面に、スパッタリング法などを用いて、Ti 層 9 を堆積する。この Ti 層 9 に窒素雰囲気内で熱処理を施すことによってその表面を窒化させる。それにより、その表層に TiN 層 10 を形成する。この TiN 層 10 は、Ti 层 9 を形成した後スパッタリング法などを用いて別工程で TiN 層 10 を堆積するものであってもよい。

【0096】そして、TiN 层 10 をパターニングすることによって、局所配線形成領域における Ti 層 9 表面を露出させる。この状態で、上記の第 1 の実施例と同様の熱処理が施されることになる。TiN 层 10 は、前述したように、シリサイド層の成長を抑制する機能を有している。そのため、TiN 层 10 下において、チタンシリサイド層の成長を抑制することが可能となる。それにより、TiN 层 10 が除去された部分においてチタンシリサイド層を相対的に多く成長させることによって、図 30 に示されるような局所配線を形成することが可能となる。

【0097】このようにして局所配線が形成された後は、ウェットエッチング法を用いて、TiN 层 10 および未反応の Ti 层 9 を除去する。それにより、図 30 に示される構造と同様の構造を有する半導体装置が得られる。

【0098】次に、図 38 を参照して、図 37 においては局所配線形成領域以外の Ti 层 9 の表面全面を覆うように TiN 层 10 が形成されていたが、局所配線を形成したくない部分上にのみ TiN 层 を残余させるようにしてもよい。なお、図 37 および図 38 においては、多結晶シリコン層 18 が形成された場合について説明したが、それ以外の場合に対しても本実施例は適用可能である。

【0099】（第 6 実施例）次に、図 39～図 42 を用いて、この発明に基づく第 6 の実施例について説明する。本実施例は、本発明を SRAM に適用した場合の実施例である。図 39 は、SRAM の 1 つのメモリセルの等価回路図である。図 39 を参照して、1 つのメモリセ

ル内には、6つのトランジスタQ1, Q2, Q3, Q4, Q5, Q6が設けられている。そして、1対のドライバトランジスタQ2, Q4(n型MOSトランジスタ)と、1対の負荷トランジスタQ1, Q3(p型MOSトランジスタ)とが相互に接続されてフリップフロップ回路を構成している。

【0100】1対の負荷トランジスタQ1, Q3のソース領域は、電源Vccに接続されている。1対のドライバトランジスタQ2, Q4のソース領域はGNDに接続されている。また、1対のアクセストランジスタQ5, Q6(n型MOSトランジスタ)は、各々記憶ノードN1, N2に接続されている。このアクセストランジスタQ5, Q6のソース／ドレイン領域の一方にはピット線BLが接続されている。また、アクセストランジスタQ5, Q6のゲート電極は、ワード線WLに接続されている。

【0101】図40は、図39に示されるSRAMの平面図である。図40を参照して、負荷トランジスタQ3とドライバトランジスタQ4とは、多結晶シリコンなどからなる共通のゲート電極33aを有している。また、負荷トランジスタQ1と、ドライバトランジスタQ2とは、多結晶シリコンなどからなる共通のゲート電極33bを有している。また、アクセストランジスタQ5, Q6は多結晶シリコンなどからなる共通のゲート電極33cを有している。

【0102】負荷トランジスタQ3は、p型不純物領域32a, 32bを有しており、コンタクト部30aを介して電源Vccに接続されている。負荷トランジスタQ1は、p型不純物領域32c, 32dを有しており、コンタクト部30bを介して電源Vccに接続されている。ドライバトランジスタQ4は、n型不純物領域32e, 32fを有しており、コンタクト部30cを介して接地される。ドライバトランジスタQ2は、n型不純物領域32g, 32hを有しており、コンタクト部30dを介して接地される。アクセストランジスタQ5は、n型不純物領域32i, 32jを有しており、コンタクト部30eを介してピット線BLに接続される。アクセストランジスタQ6は、n型不純物領域32k, 32lを有しており、コンタクト部30fを介してピット線BLに接続される。

【0103】以上の構成を有するSRAMにおいて、領域31a, 31b, 31c, 31d, 31eにおいて、チタンシリサイド層からなる局所配線34a, 34b, 34c, 34d, 34eが形成されることになる。

【0104】次に、図41を用いて、各ゲート電極33a～33c側壁に形成されたサイドウォール絶縁膜37の形状について説明する。図41は、ゲート電極33a～33c側壁に形成されたサイドウォール絶縁膜37の形状を示す平面図である。

【0105】図41を参照して、ゲート電極33a, 3

3b, 33cの側壁には、サイドウォール絶縁膜37が形成されている。このサイドウォール絶縁膜37において、局所配線34a, 34b, 34c, 34d, 34eの形成領域において、その厚みが減じられている。それにより、上記の各実施例の場合と同様の原理で、所望のゲート電極と所望の不純物領域との間を電気的に接続する局所配線34a～34eが形成されることになる。

【0106】次に、図42を用いて、図40に示されるSRAMの断面構造について説明する。図42は、図41におけるY-Y線に沿って見た断面を示す図である。図42を参照して、p型シリコン基板1の主表面には間隔をあけて素子分離絶縁膜2が形成されている。p型シリコン基板1の主表面においてこの素子分離絶縁膜2で囲まれた領域内にドライバトランジスタQ4が形成される。

【0107】そして、一方の素子分離絶縁膜2の上には、負荷トランジスタQ1のゲート電極33bが延在している。この延在するゲート電極33bと、ドライバトランジスタQ4の一方の不純物領域32fとが局所配線34cによって接続されることになる。この場合であれば、ゲート電極33bにおいて、n型不純物領域32fに面する部分におけるサイドウォール絶縁膜37が除去され、その部分に局所配線34cが形成されている。それにより、ゲート電極33bとn型不純物領域32fとを電気的に接続することが可能となる。

【0108】また、p型シリコン基板1の主表面において、ゲート電極33b下に位置する素子分離絶縁膜2をn型不純物領域32fとの間に挟む位置にn型不純物領域32gが形成されている。このn型不純物領域32g, 32f, 32e表面およびゲート電極33a, 33b表面上には、チタンシリサイド層38がそれぞれ形成されている。

【0109】p型シリコン基板1の主表面上には、層間絶縁膜35が形成されている。この層間絶縁膜35において、n型不純物領域32e, 32g上に位置する部分に、コンタクトホール39a, 39bが形成されている。このコンタクトホール39a, 39b内表面および層間絶縁膜35上には、アルミニウム配線層36が形成されている。このアルミニウム配線層36とn型不純物領域32gとのコンタクト部が30dであり、アルミニウム配線層36とn型不純物領域32eとのコンタクト部が30cである。

【0110】以上のように、局所配線を用いて近接するゲート電極と不純物領域とを接続することによって、その接続のためのコンタクトホール、層間絶縁膜などの形成の必要がなくなり、パターンの高集積化が図れる。また、本発明に従う局所配線は、下地との密着強度が大きいので、剥がれの心配がほとんどない。それにより信頼性の高い半導体装置が得られる。

【0111】(第7実施例) 次に、図43および図44

を用いて、この発明に基づく第7の実施例について説明する。図43は、この発明に基づく第7の実施例における半導体装置を示す断面図である。図44は、図43に示される半導体装置の等価回路図である。

【0112】図43および図44を参照して、p型シリコン基板1の主表面には、間隔をあけて素子分離絶縁膜2が形成される。この素子分離絶縁膜2によって挟まれるp型シリコン基板1の主表面には、MOSトランジスタ40が形成されている。このMOSトランジスタ40は、n型不純物領域5a, 5bと、ゲート絶縁膜3と、ゲート電極4とを有している。

【0113】ゲート電極4の側壁には、サイドウォール絶縁膜17が形成されている。局所配線が形成される側のサイドウォール絶縁膜17の表面上には多結晶シリコン層18が形成されている。また、n型不純物領域5bと隣接してp型不純物領域42aが形成されている。

【0114】上記の第4の実施例と同様の原理で、ゲート電極4の上面からn型不純物領域5bおよびp型不純物領域42a表面上にわたってチタンシリサイド層7が形成される。このチタンシリサイド層7が局所配線となる。

【0115】一方、p型不純物領域42aとの間に素子分離絶縁膜2を挟むようにp型シリコン基板1の主表面に、p型不純物領域42bが形成されている。このp型不純物領域42bの表面にもチタンシリサイド層7aが形成されている。p型シリコン基板1の主表面上には絶縁膜41が形成されている。この絶縁膜41において、p型不純物領域42b上に位置する領域に、コンタクトホール44が形成されている。コンタクトホール44内には、配線層43が形成されている。この配線層43は接地される。

【0116】上記の構成を有することによって、ゲート電極4は局所配線7を介してp型不純物領域42aと電気的に接続される。このp型不純物領域42aはp型シリコン基板1と同じ導電形式であるため電気的に接続される。一方、p型不純物領域42bも同様にp型シリコン基板1と電気的に接続される。

【0117】それにより、配線層43とゲート電極4とを電気的に接続することが可能となる。その結果、ゲート電極4は接地される。このように上部配線を用いることなくゲート電極を接地することが可能となるため、パターンの高集積化が容易となる。なお、本実施例において、MOSトランジスタ40をpチャネルトランジスタとした場合には、電源電圧をゲート電極4に印加することも可能となる。

【0118】上記の各実施例においては、n型MOSトランジスタに本発明を適用した場合を示した。しかし、本発明は、p型MOSトランジスタ、CMOS回路あるいはバイポーラトランジスタにも適用可能である。また、上記の各実施例においては、Ti層を用いる場合を

示した。しかし、Co, Ni, Pt, Pb, Ta, Mo, W, Crなどの高融点金属を使用することも可能である。さらに、ゲート電極として多結晶シリコン層の単層を用いたが、多結晶シリコンと高融点金属シリサイド層（たとえばWSi, MoSi, TiSi）からなるボリサイド構造を有するゲート電極を用いてもよい。

【0119】

【発明の効果】請求項1に記載の半導体装置によれば、第1の側壁部分上に位置するサイドウォール絶縁膜が除去されている。

それにより、配線層表層部分から不純物領域表層部分にまで延在するようにシリサイド層が形成され得る。このシリサイド層が局所配線となる。したがって、局所配線が、従来のように、シリサイド層とは異なる材質の新たな層によって構成されていないため、局所配線の剥がれといった問題は解消する。また、この局所配線はセルフアラインで形成されるためパターンの高集積化が容易となる。さらに、局所配線自体がシリサイド層によって構成されるため、低抵抗化を図ることも可能となる。

【0120】請求項2に記載の半導体装置によれば、シリサイド層は、絶縁膜表面を覆う第1の部分表面上で成長することとなる。そのため、絶縁膜に加わるストレスを軽減でき絶縁膜の耐圧の劣化を抑制することが可能となる。その結果、信頼性の高い半導体装置が得られる。

【0121】請求項3に記載の半導体装置によれば、サイドウォール絶縁膜表面における所定の部分にシリコンを含む材質からなる導電層が形成される。シリサイド層は、配線層の表層部分、導電層の表層部分および不純物領域の表層部分とがつながることによって形成される。

30 このように、シリコンを含む材質からなる導電層を新たに設けることによって、シリサイド層の形成を容易とすることができる。また、この場合も、局所配線の剥がれといった問題点は解消する。さらに、請求項2に記載の半導体装置の場合よりも、シリサイド層が成長する部分を絶縁膜から遠ざけることが可能となる。それにより、請求項2に記載の場合よりもさらにシリサイド層の成長による絶縁膜への影響を軽減することが可能となる。

【0122】請求項4ないし請求項6に記載の半導体装置の製造方法によれば、配線層表層のシリサイド部分と不純物領域表層のシリサイド部分とをつなぐことによってシリサイド層を形成することが可能となる。このシリサイド層が局所配線となるので、従来例のように局所配線の剥がれといった問題を考慮する必要がなくなる。

そのため、高融点金属層においてシリサイド化されなかつた部分をウェットエッチングによって除去することが可能となる。それにより、従来よりも容易に局所配線を形成することが可能となる。

【図面の簡単な説明】

【図1】この発明に基づく第1の実施例における半導体装置を示す断面図である。

【図 2】図 1 に示される半導体装置の概略平面図である。

【図 3】この発明に基づく第 1 の実施例における半導体装置の製造方法の第 1 工程を示す断面図である。

【図 4】この発明に基づく第 1 の実施例における半導体装置の製造工程の第 2 工程を示す断面図である。

【図 5】この発明に基づく第 1 の実施例における半導体装置の製造工程の第 3 工程を示す断面図である。

【図 6】この発明に基づく第 1 の実施例における半導体装置の製造工程の第 4 工程を示す断面図である。

【図 7】この発明に基づく第 1 の実施例における半導体装置の製造工程の第 5 工程を示す断面図である。

【図 8】第 1 の実施例における半導体装置の不純物領域の構造を L D D 構造とした場合に懸念される問題点を説明するための図である。

【図 9】第 1 の実施例の変形例の特徴的な製造方法の第 1 工程を示す断面図である。

【図 10】第 1 の実施例の変形例の特徴的な製造方法の第 2 工程を示す断面図である。

【図 11】第 1 の実施例の変形例の特徴的な製造方法の第 3 工程を示す断面図である。

【図 12】第 1 の実施例において懸念される問題点を説明するための図である。

【図 13】この発明に基づく第 2 の実施例における半導体装置を示す断面図である。

【図 14】図 13 に示される半導体装置の概略平面図である。

【図 15】図 13 における M O S ダイオードを拡大した断面図である。

【図 16】この発明に基づく第 2 の実施例における半導体装置の製造方法の第 1 工程を示す断面図である。

【図 17】この発明に基づく第 2 の実施例における半導体装置の製造方法の第 2 工程を示す断面図である。

【図 18】この発明に基づく第 2 の実施例における半導体装置の製造方法の第 3 工程を示す断面図である。

【図 19】この発明に基づく第 3 の実施例における半導体装置を示す断面図である。

【図 20】この発明に基づく第 3 の実施例における半導体装置の製造方法の第 1 工程を示す断面図である。

【図 21】この発明に基づく第 3 の実施例における半導体装置の製造方法の第 2 工程を示す断面図である。

【図 22】この発明に基づく第 3 の実施例における半導体装置の製造方法の第 3 工程を示す断面図である。

【図 23】この発明に基づく第 3 の実施例における半導体装置の製造方法の第 4 工程を示す断面図である。

【図 24】第 3 の実施例の製造工程の変形例における第 2 工程を示す断面図である。

【図 25】第 3 の実施例の製造工程の変形例における第 3 工程を示す断面図である。

【図 26】第 3 の実施例の変形例の製造工程の特徴的な

第 1 工程を示す断面図である。

【図 27】第 3 の実施例の変形例の製造工程の特徴的な第 2 工程を示す断面図である。

【図 28】第 3 の実施例の変形例の製造工程の特徴的な第 3 工程を示す断面図である。

【図 29】図 27 に示される半導体装置の主表面上全面に T I 層を形成した状態を示す断面図である。

【図 30】この発明に基づく第 4 の実施例における半導体装置を示す断面図である。

10 【図 31】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 1 工程を示す断面図である。

【図 32】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 2 工程を示す断面図である。

【図 33】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 3 工程を示す断面図である。

【図 34】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 4 工程を示す断面図である。

【図 35】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 5 工程を示す断面図である。

20 【図 36】この発明に基づく第 4 の実施例における半導体装置の製造方法の第 6 工程を示す断面図である。

【図 37】この発明に基づく第 5 の実施例における半導体装置の特徴的な製造工程を示す断面図である。

【図 38】図 37 に示される製造工程の変形例を示す断面図である。

【図 39】この発明に基づく第 6 の実施例における S R A M を示す等価回路図である。

【図 40】図 39 に示される S R A M の平面図である。

30 【図 41】図 40 に示される S R A M のサイドウォール絶縁膜の平面形状を示す平面図である。

【図 42】図 40 における Y - Y 線に沿って見た断面図である。

【図 43】この発明に基づく第 7 の実施例における半導体装置を示す断面図である。

【図 44】図 43 に示される半導体装置の等価回路図である。

【図 45】従来の局所配線が適用された半導体装置の一例を示す等価回路図である。

40 【図 46】図 45 における領域 1 0 0 に対応する半導体装置の断面図である。

【図 47】従来の局所配線を有する半導体装置の製造工程の第 1 工程を示す断面図である。

【図 48】従来の局所配線を有する半導体装置の製造工程の第 2 工程を示す断面図である。

【図 49】従来の局所配線を有する半導体装置の製造工程の第 3 工程を示す断面図である。

【図 50】従来の局所配線を有する半導体装置の製造工程の第 4 工程を示す断面図である。

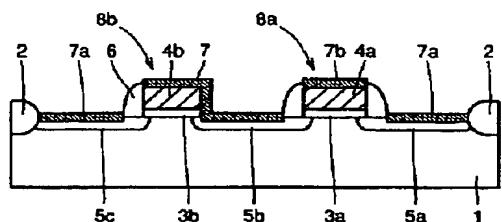
50 【図 51】従来の局所配線を有する半導体装置の製造工程の第 5 工程を示す断面図である。

【符号の説明】

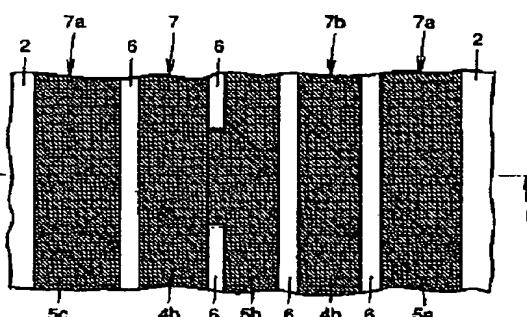
1, 101 p型シリコン基板
 4a, 4b, 104a, 104b ゲート電極
 5a, 5b, 5c, 105a, 105b, 105c n
 型不純物領域
 6, 6a, 17, 106 サイドウォール絶縁膜

7, 7a, 7b, 107a, 107b チタンシリサイ
 ド層
 13, 13a 第1の絶縁膜
 14 第2の絶縁膜
 18 多結晶シリコン層

【図 1】

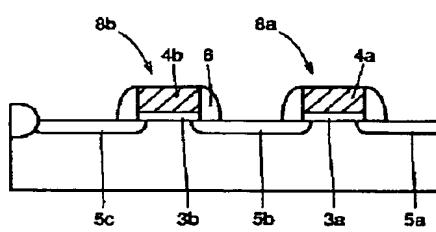


1 : p型シリコン基板
 2 : 离子分離用絶縁膜
 3a, 3b : ゲート絶縁膜
 4a : ゲート電極
 4b : 配線層



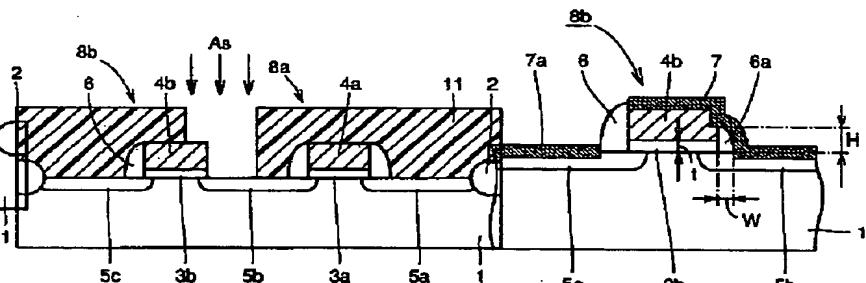
5a, 5b, 5c : n型不純物領域
 6 : サイドウォール絶縁膜
 7, 7a, 7b : チタンシリサイド層
 8a : MOSトランジスタ
 8b : MOSダイオード

【図 3】

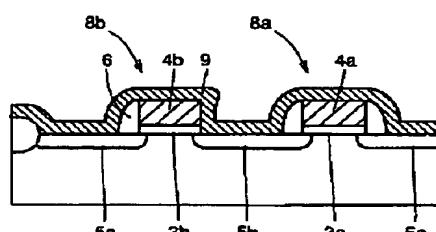


【図 5】

【図 4】

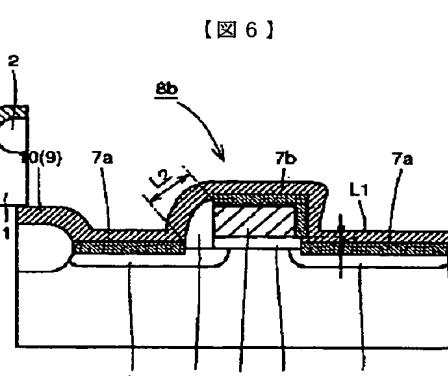


【図 15】

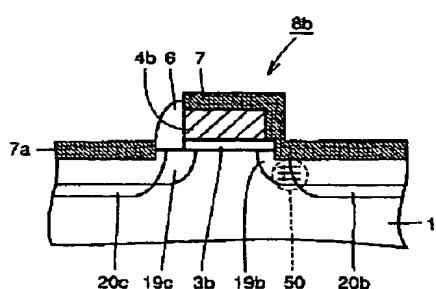
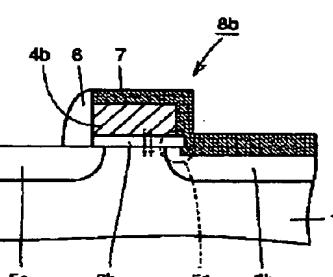


【図 8】

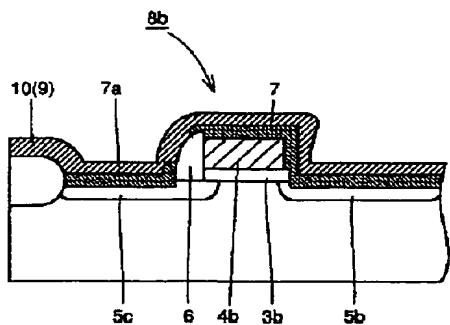
【図 6】



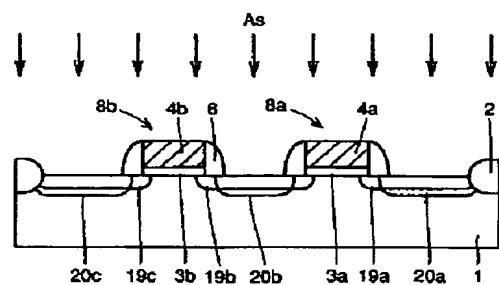
【図 12】



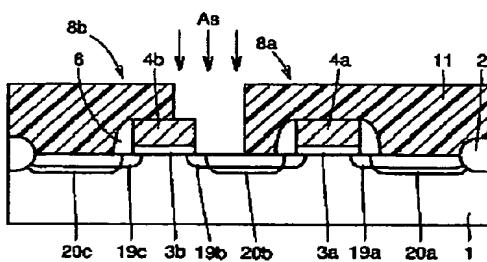
【図 7】



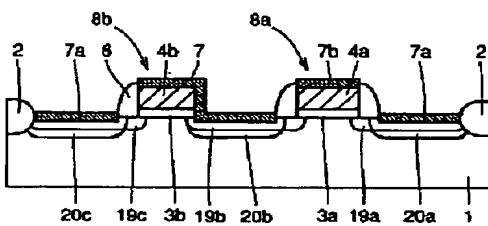
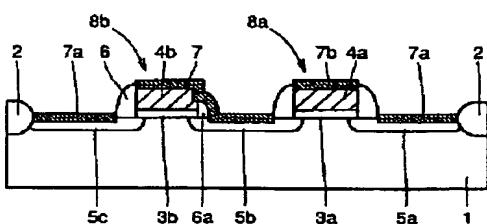
【図 9】



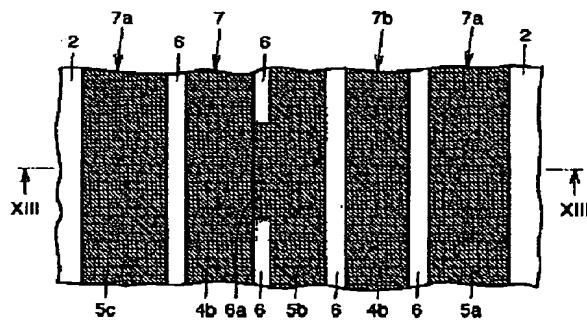
【図 10】



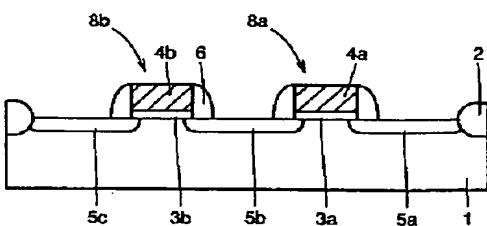
【図 13】



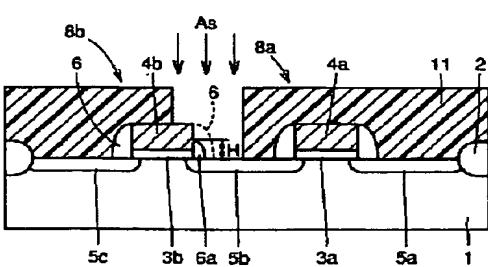
【図 14】



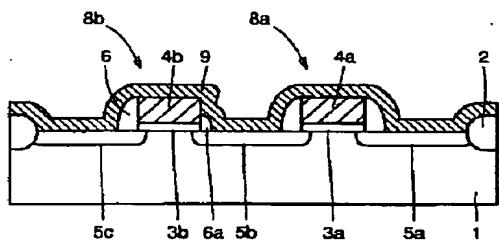
【図 16】



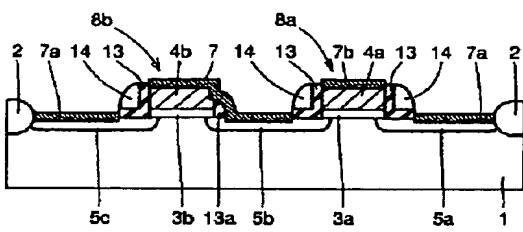
【図 17】



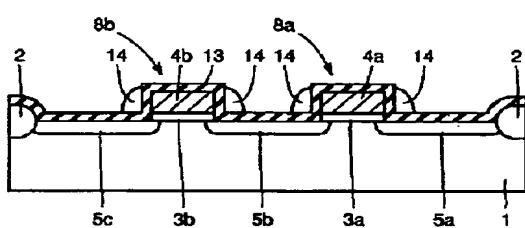
【図 1 8】



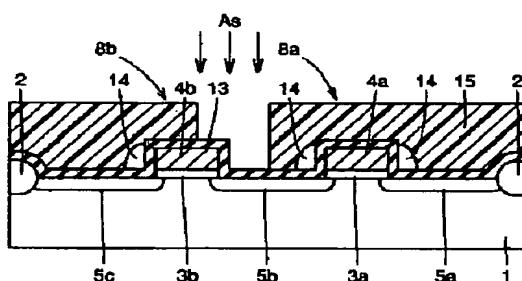
【図 1 9】



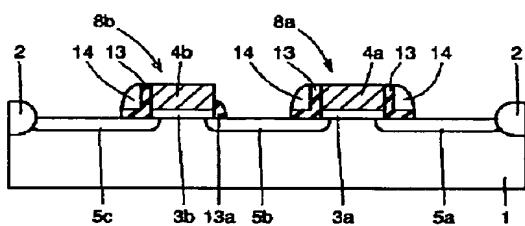
【図 2 0】



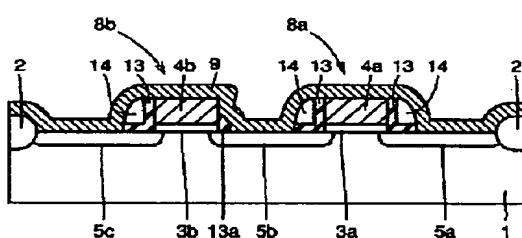
【図 2 1】



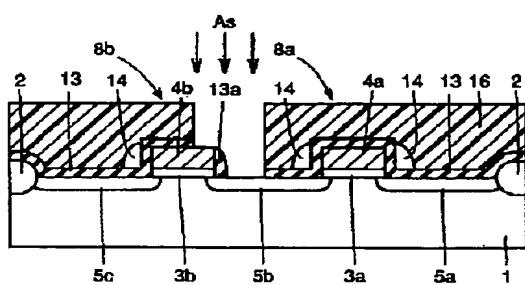
【図 2 2】



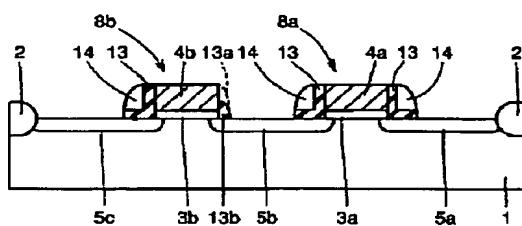
【図 2 3】



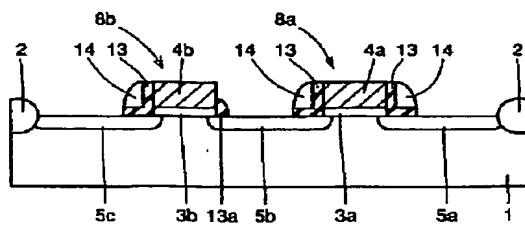
【図 2 4】



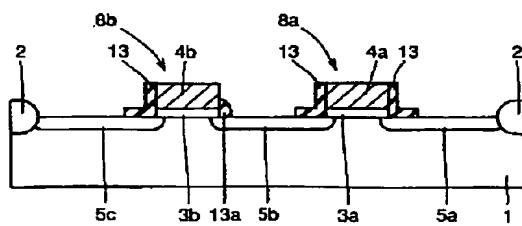
【図 2 5】



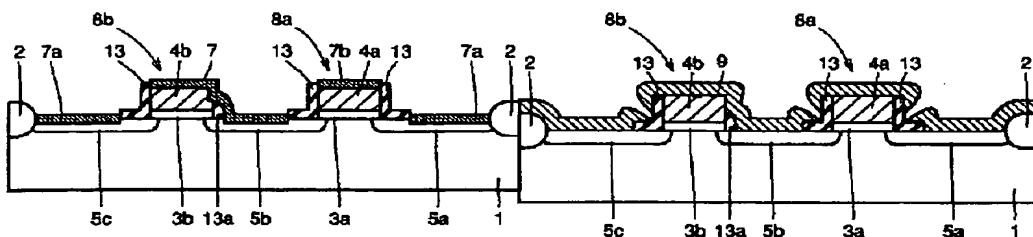
【図 2 6】



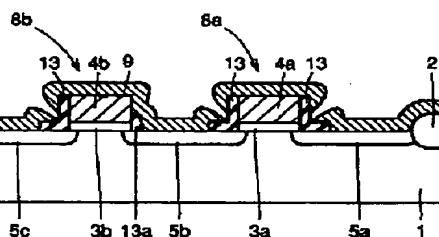
【図 2 7】



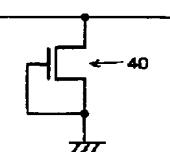
【図 2 8】



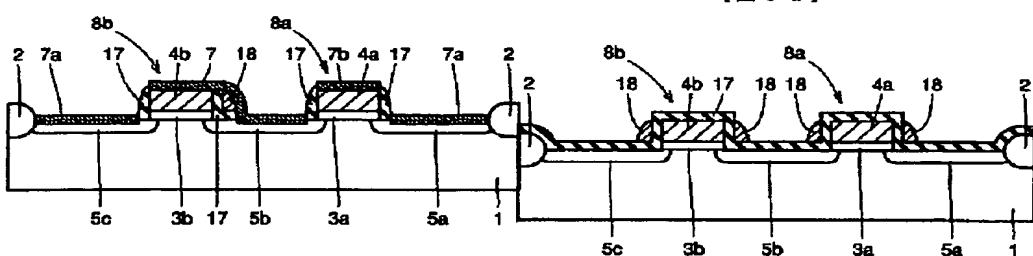
【図 2 9】



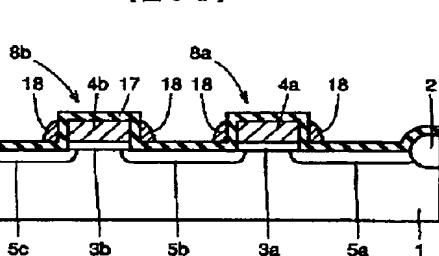
【図 4 4】



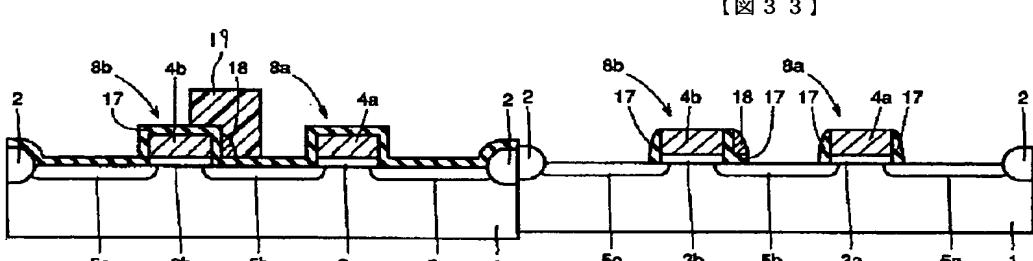
【図 3 0】



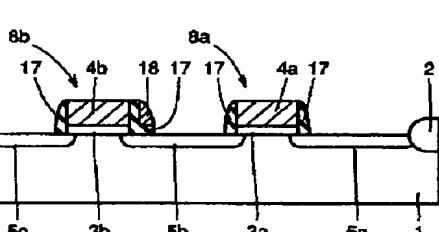
【図 3 1】



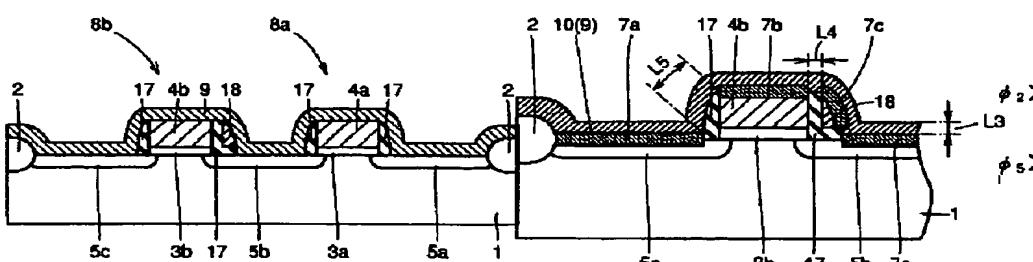
【図 3 2】



【図 3 3】

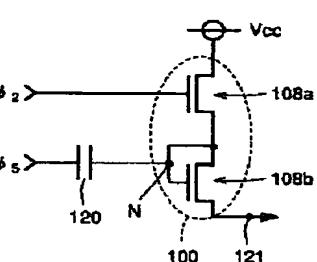


【図 3 4】

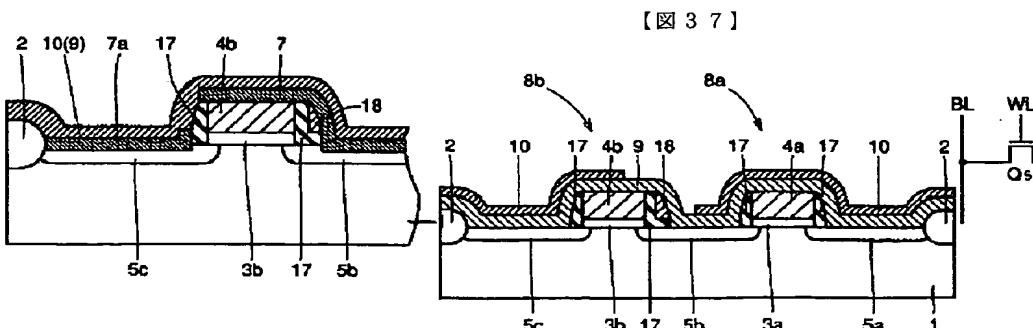


【図 3 5】

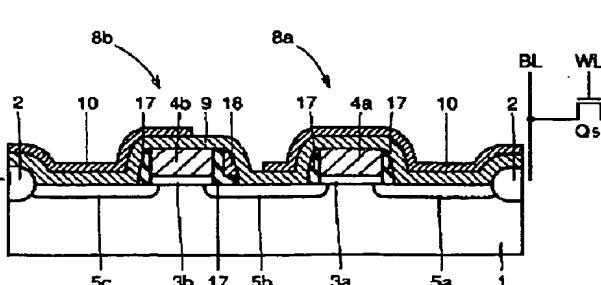
【図 4 5】



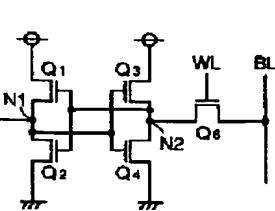
【図 3 6】



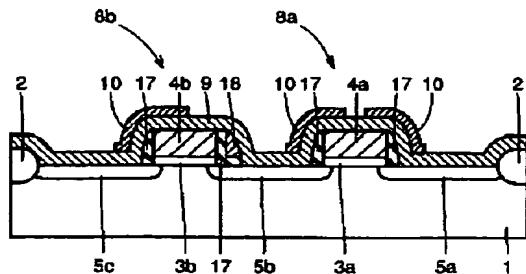
【図 3 7】



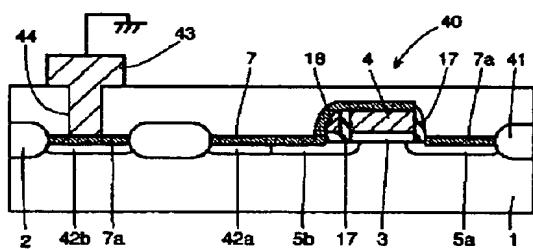
【図 3 9】



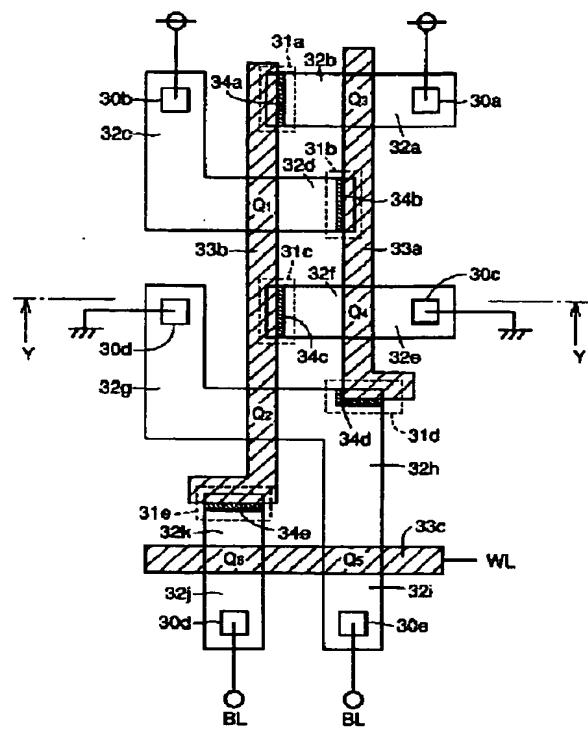
【図 3 8】



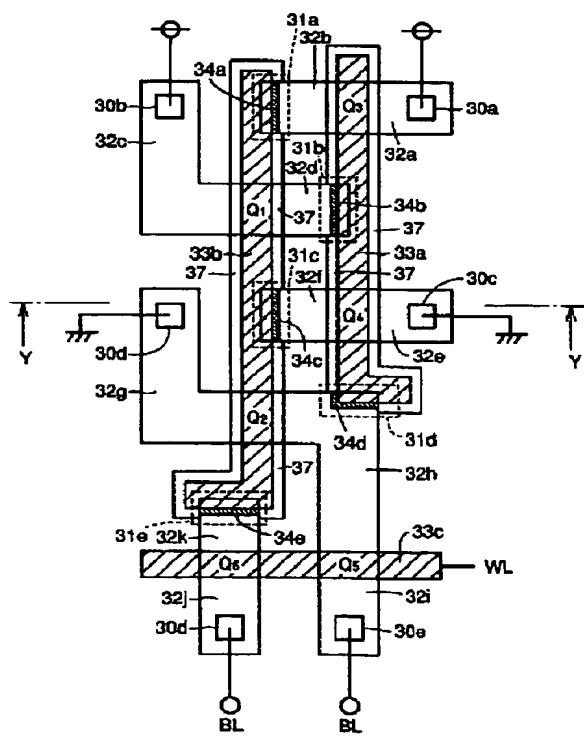
【図 4 3】



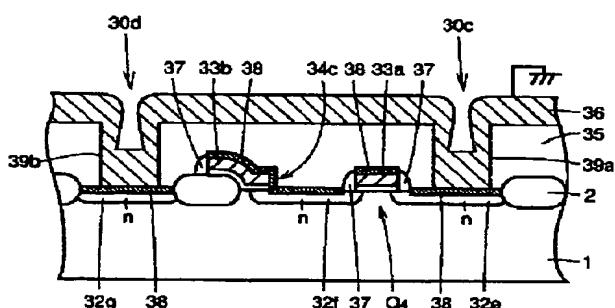
【図 4 0】



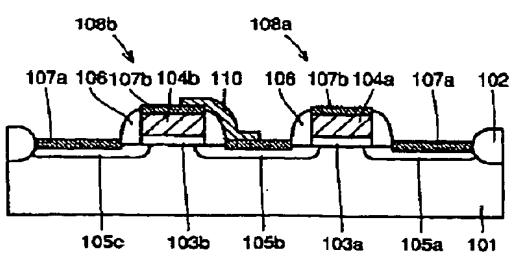
【図 4 1】



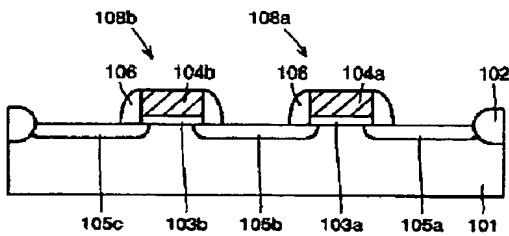
【図 4 2】



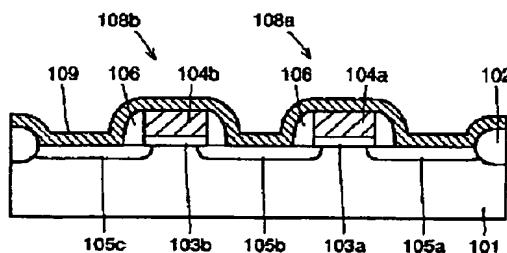
【図 4 6】



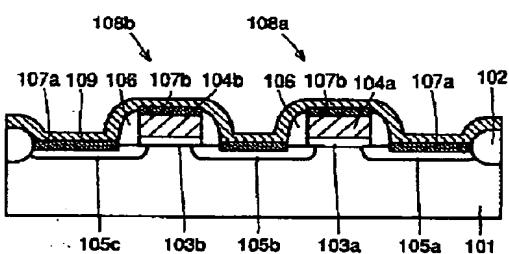
【図 4 7】



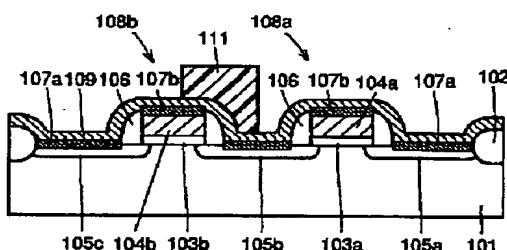
【図 4 8】



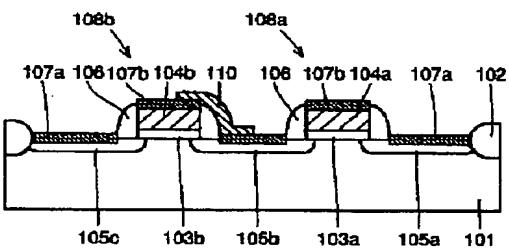
【図 4 9】



【図 5 0】



【図 5 1】



フロントページの続き

(51) Int.Cl. ⁶ 29/43	識別記号 7514-4M 9170-4M 7376-4M	庁内整理番号 H01L 29/78 27/08 29/46	F I 301 102 S	技術表示箇所 Y D S

THIS PAGE BLANK (WAPPIN)